

TL92000-0079US1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-276357

(43)Date of publication of application : 06.10.2000

(51)Int.CI.

G06F 9/46
G06F 13/24
G06F 13/36

(21)Application number : 11-080507

(71)Applicant : NEC CORP

(22)Date of filing : 24.03.1999

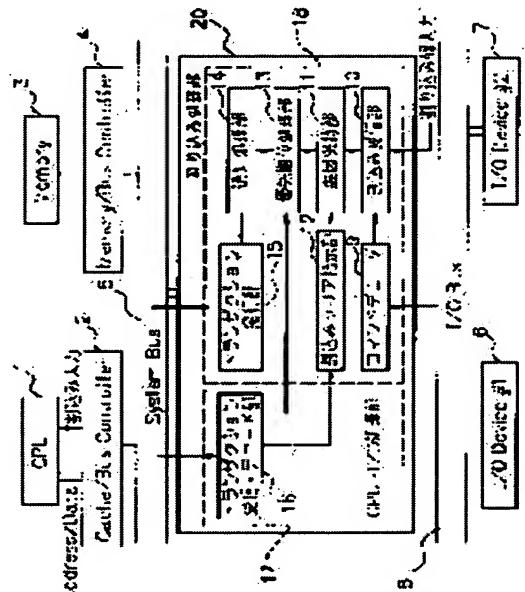
(72)Inventor : OKAYAMA YOSHIMITSU

(54) INTERRUPTION PROCESSOR AND METHOD FOR INFORMING OF INTERRUPTION

(57)Abstract:

PROBLEM TO BE SOLVED: To realize an interruption processor loaded with information such as the sort of interruption generation, the ID of an informing source CPU and the ID of an informed CPU and capable of quickly executing interruption processing and to realize also an interruption informing method.

SOLUTION: The interruption processor is provided with a command decoder 9 which is connected between a system bus 5 and an I/O bus 8 and which is capable of decoding a transaction meaning an interruption and an interruption receiving part 10 for interpreting and processing a normal transaction received from the I/O bus 8 as an I/O interruption, and the processor is constituted so as to process the normal transaction from the I/O bus 8 equally to the processing of interruption information from a normal interruption line. Since interruption information can be processed as an interruption transaction, performance deterioration generated when plural I/O devices 6, 7 are simultaneously driven due to low interruption resolution and the processing of interruption order when plural DMAs are simultaneously generated can be improved. Thereby interruption processing can be quickly execute.



LEGAL STATUS

[Date of request for examination] 02.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3661478

[Date of registration] 01.04.2005

[Number of appeal against examiner's decision]

(51) Int.Cl. ⁷	識別記号	F I	テマコト ⁸ (参考)
G 06 F 9/46	3 1 1	G 06 F 9/46	3 1 1 G 5 B 0 6 1
13/24	3 1 0	13/24	3 1 0 A 5 B 0 9 8
13/36	3 1 0	13/36	3 1 0 E

審査請求 有 請求項の数6 O.L (全9頁)

(21)出願番号 特願平11-80507

(22)出願日 平成11年3月24日(1999.3.24)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岡山 義光

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100084250

弁理士 丸山 隆夫

Fターム(参考) 5B061 CC01 FF01 GG06 GG13

5B098 AA05 BA06 BA12 BB05 BB18

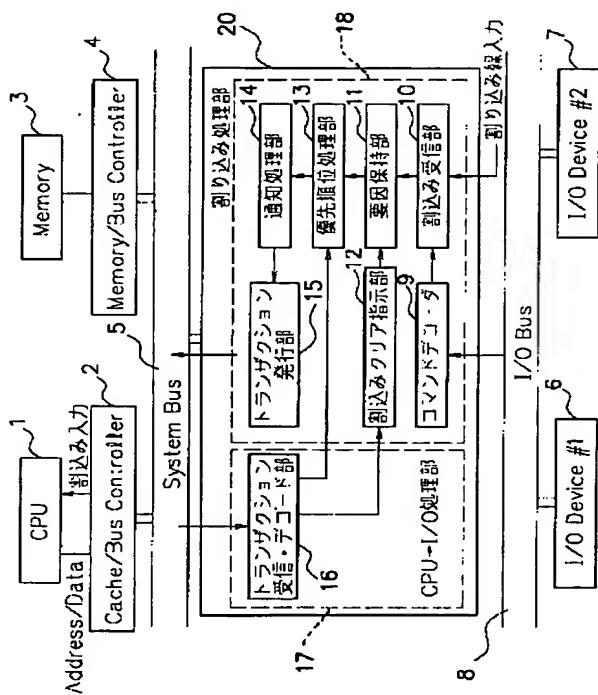
CC08

(54)【発明の名称】 割り込み処理装置および割り込み通知方法

(57)【要約】

【課題】 割り込み発生の種別、通知元、通知先CPUの識別等の情報を載せ、割り込み処理を迅速に行う割り込み処理装置および割り込み通知方法を提供する。

【解決手段】 システムバス5とI/Oバス8との間に装備され、I/Oバス8からの割り込みを意味するトランザクションをデコードするコマンドデコーダ9と、I/Oバスからの通常のトランザクションをI/O割り込みとして解釈して処理する割込み受信部10とを有して構成され、I/Oバス8からの通常のトランザクションを通常の割り込み線からの割り込み通知の処理と等しく処理可能とした。割り込みトランザクションとして割り込み通知を処理でき、割り込み分解能が悪いことに起因する多数のI/Oデバイス6、7が同時に動作した場合の性能劣化や、複数のDMAが同時に発生している場合の割り込み順序処理性を改善することが可能となる。従って、割り込み処理を迅速に行うことができる。



【特許請求の範囲】

【請求項1】 I /Oバスからの割り込みのトランザクションをデコードするコマンドデコーダと、前記I /Oバスからの通常のトランザクションをI /O割り込みとして解釈して処理する割り込み受信部とを有し、システムバスと前記I /Oバスとの間に装備され、該I /Oバスからの通常のトランザクションを通常の割り込み線からの割り込み通知の処理と等しく処理可能としたことを特徴とする割り込み処理装置。

【請求項2】 前記割り込み処理装置は、前記割り込み受信部で認識された割り込み情報／割り込み要因を保持する要因保持部と、I /Oデバイス側からの割り込み処理の通知に対してCPU側の処理が完了した場合に、次の新しい割り込み処理を受け付けることができるよう、前記要因保持部により保持された前記割り込み情報／割り込み要因をクリアする割り込みクリア指示部と、を有することを特徴とする請求項1記載の割り込み処理装置。

【請求項3】 前記割り込み処理装置は、複数の割り込み線からの割り込み入力や複数のI /Oデバイスからの割り込みトランザクションによる割り込み要因が存在しているときに、相互間の上位CPUへの割り込み通知の優先順位を決めるための優先順位処理部と、前記優先順位処理部で順序化され決定された優先順位に基づいて前記割り込み通知の要求を一般化して割り込みトランザクションとして通知するための前処理を行う通知処理部と、前記システムバスに対して前記割り込みトランザクションを発行するトランザクション発行部と、を有することを特徴とする請求項1または2記載の割り込み処理装置。

【請求項4】 I /Oバスからの割り込みを意味するトランザクションをデコードするコマンドデコード工程と、

前記I /Oバスからの通常のトランザクションをI /O割り込みとして解釈して処理する割り込み受信工程とを有し、

前記I /Oバスからの通常のトランザクションを通常の割り込み線からの割り込み通知の処理と等しく処理可能としたことを特徴とする割り込み通知方法。

【請求項5】 前記割り込み通知方法は、前記割り込み受信工程で認識された割り込み情報／割り込み要因を保持する要因保持工程と、I /Oデバイス側からの割り込み処理の通知に対してCPU側の処理が完了した場合に、次の新しい割り込み処理を受け付けることができるよう、前記要因保持工程により保持された前記割り込み情報／割り込み要因をク

リアする割り込みクリア指示工程と、を有することを特徴とする請求項4記載の割り込み通知方法。

【請求項6】 前記割り込み通知方法は、複数の割り込み線からの割り込み入力や複数のI /Oデバイスからの割り込みトランザクションによる割り込み要因が存在しているときに、相互間の上位CPUへの割り込み通知の優先順位を決めるための優先順位処理工程と、

10 前記優先順位処理工程で順序化され決定された優先順位に基づいて前記割り込み通知の要求を一般化して割り込みトランザクションとして通知するための前処理を行う通知処理工程と、前記システムバスに対して前記割り込みトランザクションを発行するトランザクション発行工程と、を有することを特徴とする請求項4または5記載の割り込み通知方法。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】 本発明は、迅速処理を可能とした割り込み処理装置および割り込み通知方法に関する。

【0002】

【従来の技術】 従来、割り込み処理装置および割り込み通知方法は一般に、割り込みが専用線を介して直接バスブリッジに伝えられる方式を取る。この方式において、DMAライト自身は、I /Oバス上のトランザクションで他のI /Oデバイス間との調停を経てからバスブリッジ内の処理後にシステムバスへ通知される。なお、前記バスブリッジ内での処理の内容は、システムバスの構成に依存するものであり、キャッシュ・コヒーレンシ処理や、バッファ処理等のことを指す。

30 【0003】 例えば、従来例1の特開平7-105031号公報によれば、「多重プロセッサ・コンピュータ・システム内で割り込み情報を伝えるための方法および装置」について開示されている。これによれば、割り込みサブシステム内に2つの層を設けることによって、割り込みのタイプまたは割り込みのソースから独立であり、基礎となるシステム・ハードウェア構造からも独立なアプリケーション・ソフトウェアが記述可能であるとしている。また、割り込みは、アドレス・バスを介して転送されるので、他の割り込みや他のシステム動作と共にシーケンス化するとしている。

40 【0004】 また従来例2の特開平9-97184号公報によれば、「効率的な割り込み処理を含む情報処理システム」について開示されている。これによれば、データ管理ユニットが割り込み経路指定論理を含み、割り込みパケットをスヌープし、情報をレジスタに記憶し、特定の割り込みが受諾または拒否されたかを示す信号を生成することで、効率化を図ることが可能となる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来例のように構成された1ビット線での情報では、割り込みがあつたかなかつたかしか解らない。さらに、それを受けるバスプリッジ等の割り込みコントローラとしての構成部への割り込み線入力の本数以上に、I/Oデバイスが接続されているような構成が一般的であるため、割り込み分解能が荒く、また割り込み処理に時間がかかるという問題を伴う。

【 0 0 0 6 】 本発明は、上記事情に鑑みなされたもので、割り込み発生の種別、通知元、通知先 C P. U の識別等の情報を割り込み処理装置に記憶し、割り込みの迅速処理を可能とする、割り込み処理装置および割り込み通知方法を提供することを目的とする。

[0007]

【課題を解決するための手段】かかる目的を達成するため、請求項1記載の発明は、I/Oバスからの割り込みのトランザクションをデコードするコマンドデコーダと、I/Oバスからの通常のトランザクションをI/O割り込みとして解釈して処理する割り込み受信部とを有し、システムバスとI/Oバスとの間に装備され、該I/Oバスからの通常のトランザクションを通常の割り込み線からの割り込み通知の処理と等しく処理可能としたことを特徴とする。

【0008】請求項2記載の発明は、請求項1記載の発明において、割り込み処理装置は、割り込み受信部で認識された割り込み情報／割り込み要因を保持する要因保持部と、I/Oデバイス側からの割り込み処理の通知に対してCPU側の処理が完了した場合に、次の新しい割り込み処理を受け付けることができるよう、要因保持部により保持された割り込み情報／割り込み要因をクリアする割り込みクリア指示部と、を有することを特徴とする。

【 0 0 0 9 】 請求項3 記載の発明は、請求項1 または2 記載の発明において、割り込み処理装置は、複数の割り込み線からの割り込み入力や複数のI/Oデバイスからの割り込みトランザクションによる割り込み要因が存在しているときに、相互間の上位CPUへの割り込み通知の優先順位を決めるための優先順位処理部と、優先順位処理部で順序化され決定された優先順位に基づいて割り込み通知の要求を一般化して割り込みトランザクションとして通知するための前処理を行う通知処理部と、システムバスに対して割り込みトランザクションを発行するトランザクション発行部と、を有することを特徴とする

ンザクションを通常の割り込み線からの割り込み通知の処理と等しく処理可能としたことを特徴とする。

【 0 0 1 1 】請求項5 記載の発明は、請求項4 記載の発明において、割り込み通知方法は、割り込み受信工程で認識された割り込み情報／割り込み要因を保持する要因保持工程と、I /O デバイス側からの割り込み処理の通知に対してCPU側の処理が完了した場合に、次の新しい割り込み処理を受け付けることができるよう、要因保持工程により保持された割り込み情報／割り込み要因をクリアする割り込みクリア指示工程と、を有することを特徴とする。

【 0 0 1 2 】 請求項6 記載の発明は、請求項4 または5 記載の発明において、割り込み通知方法は、複数の割り込み線からの割り込み入力や複数のI ／O デバイスからの割り込みトランザクションによる割り込み要因が存在しているときに、相互間の上位C P U への割り込み通知の優先順位を決めるための優先順位処理工程と、優先順位処理工程で順序化され決定された優先順位に基づいて割り込み通知の要求を一般化して割り込みトランザクションとして通知するための前処理を行う通知処理工程と、システムバスに対して割り込みトランザクションを発行するトランザクション発行工程と、を有することを特徴とする。

[0 0 1 3]

【発明の実施の形態】次に、添付図面を参照して本発明による割り込み処理装置および割り込み通知方法の実施の形態を詳細に説明する。図1から図6を参照すると、本発明の割り込み処理装置および割り込み通知方法の一実施形態が示されている。

30 【0014】図1は、本実施形態による割り込み処理装置および割り込み通知方法の基本的な構成を示すブロック図である。図1においては、上位のシステムバス5と下位のI/Oバス8との間を接続するため、CPU→I/O処理部17と割り込み処理部18とからなるバスブリッジ20として適用した内部構成例を示している。

【0015】CPU→I/O処理部17は、後述されるキャッシュ/バスコントローラ2を介して接続されるCPU1からのトランザクションを受信してデコードするためのトランザクション受信・デコード部16を備えている。

【 0016 】 割り込み処理部18の構成は、本発明に従って、下位のI/Oバス8からの割り込みを意味するトランザクションをデコードするコマンドデコード9を設けており、下位のI/Oバス8からの通常のトランザクションをI/O割り込みとして解釈し、通常の割り込み線からの割り込み通知を処理する割り込み受信部10で両者の割り込み指示を等しく処理することを可能としている。

【0017】従って、通常の割り込み線入力以外に、下位のI/Oバス8からの通常のトランザクションを使用

して割り込み通知が可能となる。このことから、I/Oデバイス6, 7からのDMA処理と、その通知処理のための割り込みとの順序性の確保が容易にとれる。また、物理的な割り込み線数に制限が無いことから、種々の情報をこのトランザクション中に載せることが可能となる。このため、割り込みを処理するCPU1および図示されないOSドライバに対し、割り込み分解能を上げて通知されることになる。この結果、割り込み処理の高速化という効果が得られる。上記の内容を、図1を参照しながら本ブロック図の各構成部分について以下に詳述する。

【0018】図1においては、バスブリッジ20の構成の内、本発明に関する割り込み処理部18をクローズアップしたブロック図として示されている。それ以外のデータ受け渡しとしてのバスブリッジ機能は、本発明とは直接関係ないので説明を省略する。

【0019】割り込み処理機能におけるCPU1への割り込み通知は、直接各割り込み発生元のデバイスからの信号を入力するのではなく、バスやチップセットを通じてCPU1の割り込み端子へ入力されることが一般的である。本実施形態では、その意味でCPU1とシステムバス5の間に設けられたチップセットであるキャッシュ/バスコントローラ2で一旦処理された割り込み情報が、CPU1に伝えられる形態を有する構成例である。

【0020】また、メモリ/バスコントローラ4は、システムバス5とメモリ3との間でインターフェースの役割を果たし、メモリアクセスのコントロールとシステムバスアクセスの処理を行う。通常、このメモリ/バスコントローラ4には、プログラムやデータ以外に割り込み処理のためのテーブル、あるいはフラグ領域等が置かれることが一般的である。なお、この割り込み処理の見地からのメモリ領域の使われ方は、本発明とは直接関係がないので、これらに関しては説明を省略する。

【0021】I/Oデバイス6, 7は、I/Oバス8に接続されたI/Oデバイスである。このI/Oデバイス6, 7の形態は、本実施形態のために特別な使用法を必要としない。また、通常のPCIやISA等のI/Oバスに代表されるPCIカードやISAカードにおいて想定されるように、特別なハードウェアを必要としない。但し、これらのI/Oデバイス6, 7を制御するカード上のROMに格納されているファームウェアやオペレーティングシステム上で動作し、これらのI/Oデバイス6, 7を制御するドライバに関しては、本実施形態の割り込み方法を実現するために対応している必要がある。

【0022】バスブリッジ20は、本割り込み通知方法を実現する割り込み処理装置の構成例を示している。つまり、割り込み処理装置は、一般的なバスブリッジから本実施形態の割り込み処理に関する部分だけをクローズアップして示されたバスブリッジである。

【0023】割り込み受信部10は、I/Oデバイス

6, 7からの割り込み線入力を介して入力される割り込み情報を受信処理する装置である。この割り込み線は、一般的にはI/Oバスとしてピンアサインされており、デバイスからの割り込み線は従来の通り1ビット線であることが一般的である。

【0024】本実施形態では、I/Oバス8におけるバストランザクションを利用する。なお、上述のバストランザクションとは、メモリリード・サイクル、メモリライト・サイクル、I/Oライト・サイクル等のバスサイクルのことを言う。これらにより、割り込み通知機能として機能可能なこと、またバスサイクルであることから、どのような種別の割り込みが発生したか、あるいは、誰が通知した割り込みで、どのCPUに通知したいか等の情報をバストランザクションに載せることができるので、割り込みの分解能を上げた形で、CPU1に対して通知することが可能となる。

【0025】また、割り込みをI/Oバストランザクションとしたことによって、特に、DMA(ダイレクトメモリアクセス)による割り込みと、DMAとの順序性、同期性における問題を回避し易くなる効果も期待できる。これは、例えば、I/Oデバイスがシステムメモリに対してライトを実行するDMAライトの終了の通知手段として割り込みを使用する場合、従来方法では、割り込みは専用線でバスブリッジに直接伝えられる。しかしながら、本発明では、DMAライト自身が、I/Oバス8上のトランザクションで他のI/Oデバイス間との調停を行い、その後、バスブリッジ20内の処理を経て、システムバス5へ通知される。

【0026】ところが、I/Oバス8上のトランザクションが混んでいたり、バスブリッジ20内部のDMAデータ処理で時間がかかったりする場合、DMA終了通知としての割り込みがDMA完了を待たずに、CPUやチップセットに伝えられてしまい、順序性の保証がとれなくなつて不具合が起こるケースがあり得る。

【0027】勿論、このようなケースはドライバの作りに依存するが、I/Oデバイス6, 7から送られてくるトランザクションがハードウェアとして通常の割り込みなのか、DMA終了通知としての割り込みなのかを識別する手段は、割り込み線を使用する限り持てないので、常にこの問題を内包することになる。

【0028】コマンドデコーダ9は、上述のようにI/Oバストランザクションとして割り当てられた割り込みトランザクションを認識し、割り込み通知が来たことを割り込み受信部10に通知する機能を備える。

【0029】割り込み受信部10は、割り込み線入力からの割り込みやI/Oバストランザクションとしての割り込みを認識する以外に、この受信した割り込みをマスクするかしないかを決める機能も備える。例えば、受信した割り込みをマスクする場合には、割り込み入力があっても上位のCPU1へは通知せず、無視することがで

きる。

【 0 0 3 0 】 要因保持部1 1 は、割り込み受信部1 0 で認識された割り込み情報(要因)を保持する機能を備える。ここでどのような情報を保持するかは、本実施形態の範囲外であるが、通常の割り込み線からの入力では入力割り込み線番号と当該入力割り込み線番号に対する割り込みの有無を保持することが一般的である。

【 0 0 3 1 】 割り込みクリア指示部1 2 は、CPU1 による割り込み処理の終了に伴って、割り込み処理の通知に対してCPU1 側の処理が完了した場合に、バスプリッジ2 0 の要因保持部1 1 における割り込み情報(要因)の保持をクリアする。これにより、次の新しい割り込み処理を受け付けることができるよう備えることが可能となる。

【 0 0 3 2 】 優先順位処理部1 3 は、複数の割り込み線からの割り込み入力や複数のI/O デバイス6, 7 等からの割り込みトランザクションによる割り込み要因が存在しているときに、相互間の上位CPU1 への割り込み通知の優先順位を決めるための機構である。

【 0 0 3 3 】 通知処理部1 4 は、優先順位処理部1 3 で順序化され決定された優先順位に基づいて割り込み通知要求を一般化し、システムバス5 に対してトランザクション発行部1 5 を通じて、割り込みトランザクションとして通知するための前処理を行う部分である。実際にシステムバス5 経由で割り込みトランザクションが通知されたかどうかの情報も、併せて記憶しておく機能を有する。

【 0 0 3 4 】 (動作の説明) 本実施形態の動作例に関して、図2、3、4、5、6 を参照しながら以下に説明する。

【 0 0 3 5 】 図2 は、本発明のI/O バストランザクションをどのように割り込み通知として認識するかを説明するためのアドレスマップの一構成例である。図2 における各アドレスマップは、本実施形態の説明の都合上、一例として挙げたものであり、全てのコンピュータシステムに当たるものではなく、ハードウェアの構成、オペレーティングシステムのアーキテクチャに依存するものである。

【 0 0 3 6 】 アドレスマップA は、一般的なアドレスマップの構成例を示したものである。アドレスマップA において、“ Local I/O 空間” と呼ばれるものは、I/O バス上の資源としてマッピングされる領域であり、I/O バス上のI/O デバイスの内部レジスタ等へのアクセスや、バスプリッジの内部資源をI/O バス上からアクセスする場合に使用される空間であると仮定する。

【 0 0 3 7 】 アドレスマップA において、“ Local Memory 空間” と呼ばれるものは、I/O バス上のメモリ空間(例えば、ビデオメモリ空間や、そのデバイス上のRAM、ROM空間) であると仮定する。

【 0 0 3 8 】 アドレスマップA において、“ System Memory 空間” とは、オペレーティングシステムがおかれたり、各種データの格納領域や、DMAで使用されるメモリ空間であると仮定する。

【 0 0 3 9 】 アドレスマップA において、“ System I/O 空間” とは、CPUからのみアクセスされる空間で、各チップセットに対する設定を行ったり、ステータス情報が格納されていたりする領域であると仮定する。

【 0 0 4 0 】 アドレスマップA において、I/O バス上のデバイスからアクセスされる領域の内、例えば、“ Local I/O 空間” の使われていない領域(例えば、アドレスマップB の“ Reserved or 空き領域”) の一部を本実施形態のために使用することで、割り込み通知領域としてマッピングすることができる。

【 0 0 4 1 】 この部分をさらに詳しく説明したのが、アドレスマップB である。例えば、PCI 一バスのように、アドレスマップに関して動的なコンフィギュレーションが可能である場合、アドレスマップB には、“ Reserved or 空き領域” をアドレスマップC のように再定義し、割り込み通知領域として動的に確保することが可能である。この領域は、どのI/O デバイスからもトランザクションを発行可能な領域として確保することができる。

【 0 0 4 2 】 従って、この割り込み領域へのアドレスを含んだトランザクションを割り込みとして認識できる機構を予めバスプリッジに装備しておき、さらに割り込み領域におけるアドレス位置毎に種々の情報を載せることができ。さらに、割り込みトランザクションが、この領域へのライトアクセスとして定義される場合、ライトデータに対して意味を持たせることにより、種々の情報をのせることも可能である。

【 0 0 4 3 】 このように、ハードウェア的には、バスプリッジに対して僅かの物量の変更および追加により、I/O デバイス側のハードウェアには変更を加えることなく、一般的に、非常に処理時間がかかる割り込み処理を軽減することが可能な割り込み情報を割り込み通知と同時に発行することが可能となる。さらに、従来の割り込み方式と共存することも可能である。このため、OS あるいは、ドライバへの影響を考慮しながら、既存方式と本実施形態の方式とを併用して、柔軟な割り込み処理方式を実現することが可能である。

【 0 0 4 4 】 具体的なフロー図を通して、本発明の動作について説明する。図3 および図4 に示されるのは、時系列で記載した割り込み処理フローの一例である。これらのフロー図を参照しながら、動作例を以下に説明する。

【 0 0 4 5 】 まず、割り込みはI/O デバイスから発行されるが、本実施形態の場合、I/O バス上のトランザ

クション100であるため、図3に示されるように、通常のバスアクセスが開始される。

【0046】これを受け、バスプリッジ側では、図3のコマンドデコード101～割り込み処理開始108のように割り込みが処理される。このフロー図で、図3のコマンドデコード101～通知処理105に関しては、バスプリッジ内部の実施形態の割り込み処理を行なう主要構成要素となっており、図3のトランザクション発行106でCPUへ通知する。このために、上位のシステムバスにトランザクションとして通知される形態を想定している。なお、バスプリッジを経て、割り込みが上位バス(システムバス)に対して通知される方法には種々の方法があり、図3のトランザクション発行106から割り込み処理開始108までの流れは、一実施例である。なお、コンピュータシステムの構成によって種々の構成方法があることは言うまでもない。

【0047】さらに、上位バス(システムバス)を経由して割り込みをCPUが認識した場合について、図4のフロー図を参照しながら割り込み処理を説明していく。

【0048】まずCPUが割り込みを認識し、一般的に予め決められた処理ルーチンに従って動作していく。しかし、その場合、どのI/Oデバイスが発行した割り込みなのか、どのような種別の割り込みだったのかを、割り込み発行元を逆に辿って調べていくことが一般的である。

【0049】本実施形態においては、I/Oデバイスからの割り込みトランザクションは、バスプリッジがトランザクションとしての割り込みとして認識し、これを上位バス(システムバス)を経由してCPUに対して通知を行っているので、この割り込み情報を保持しているバスプリッジの内部資源(例えば、内部レジスタ等)を参照することになる。従って、図4のトランザクション発生200で発生したシステムバス上のトランザクションは、図4の内部資源アクセストランザクション201のバスプリッジへのトランザクションとして発生し、バスプリッジにおいてコマンドデータ202としてデコードされた後、バスプリッジは、CPUの要求に従って割り込み要因等の割り込み情報をCPUに対してレスポンスとして返す。例えば、リードトランザクションに対する割り込み要因引き渡し203に伴うリードデータである。

【0050】これを受け取った後、CPUは、コンピュータシステムやオペレーティングシステム、ドライバの構造に依存した形で、割り込みトランザクションの送り主であるI/Oデバイスに対してアクセスを行って、さらに詳細な割り込みの原因を探ろうとする。そのためのトリガの情報は、上述されるようにコンピュータシステム等の構造に依存しているため、この構造に適する形で、これを手がかりにバスプリッジ配下に対してリードアクセス等を実行する。例えば、バスプリッジからの要

因(ステータス)の読み出しである(図4の204)。【0051】以降、割り込み処理#1(205)～I/Oバスからの要因情報引き取り209のように割り込み発生の原因を辿って行きながら、必要に応じて、バスプリッジからの要因受信204～I/Oバスからの要因引き取り209のアクセスを繰り返していくことが一般的である。

【0052】この繰り返しの回数は、主に割り込み処理開始200～バスプリッジからの要因受信204にかけての処理で、どの程度の分解能で割り込み内容、要因を把握できたかに依存している。従って、このフローの部分でできるだけ詳細な割り込み発生原因を把握できれば、割り込み処理の高速化が図れることになる。

【0053】この割り込み分解能に関して、具体的に説明したのが図5である。図5において、「300」(ケース1)、「301」(ケース2)、「303」(ケース3)と3種類のケースに関して説明する。

【0054】ケース1は、本発明で提案している割り込みトランザクションによる方法である。従って、すでに詳細に説明しているので、ここでは説明を省くが、このI/Oデバイス#1は、既述の説明で明らかのように、従来の割り込み線とは全く別的方式で割り込みを通知することができる。このため、従来の方式と併用できる。

【0055】ケース2は、PC/AT互換機等で一般的であるように、複数のI/Oデバイスで割り込み線を共有する方法である。これは、主に割り込み線の物理的な本数に制限があり、その本数以上にI/Oデバイスが接続されている場合には、割り込み線を共有するような結線をハードウェア的に行なうことになる。これは、今までの議論から明らかのように、割り込み通知が行われて割り込み線の特定ができたとしても、どのデバイスによる割り込みであるかどうかは知る手段がない。どのI/Oデバイスからの割り込みであったかを知るためにには、共有結線となっている割り込みに接続された全てのI/Oデバイスのステータスを読み出しに行くといった必要がある。

【0056】ケース3は、I/Oバス配下にさらにI/Oバスプリッジ(過去の資産を受け継ぐためのレガシーバスプリッジと呼ぶ)があり、この配下にI/Oデバイスが接続されている例である。この場合も、割り込み線による割り込み通知であることが一般的である。このため、レガシーバス配下のどのI/Oデバイスから割り込みできるか否かを判定することは、ケース2と同じように処理時間がかかるることは明白である。図6は、これらの関係を分かり易く具体的に表している。

【0057】このように、I/Oバスからの割り込み通知をトランザクションで行なうことによって、割り込み分解能を向上させることができ、割り込み処理時間の短縮に貢献すると共に、割り込みとDMAの順序性を保証することができる。

11

【 0058 】 上記の実施形態によれば、コンピュータにおけるバスシステムにおける割り込み処理装置および割り込み通知方法の部分に関して、通常の割り込み通知線による通知方式以外に、I/Oデバイスからのバストランザクションによる特定のアドレス領域へのアクセスによって、割り込み実行と解釈されるような機構をバスプリッジ内に設けている。特に、割り込みトランザクションとして割り込み通知を処理できるようにしたため、割り込み分解能が悪いことに起因する多数のI/Oデバイスが同時動作した場合の性能劣化や、複数のDMAが同時に発生している場合の割り込み順序性を改善することが可能となる。

【 0059 】 尚、上述の実施形態は本発明の好適な実施の一例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施が可能である。

【 0060 】

【 発明の効果】 以上の説明より明かなように、本発明の割り込み処理装置および割り込み通知方法は、I/Oバスからの割り込みを意味するトランザクションをデコードし、I/Oバスからの通常のトランザクションをI/O割り込みとして解釈して処理する。この構成で、システムバスとI/Oバスとの間において、I/Oバスからの通常のトランザクションを通常の割り込み線からの割り込み通知の処理と等しく処理を可能としている。

【 0061 】 従って、割り込み情報から、どのような種別の割り込みが発生したか、あるいは、どのI/Oデバイスが通知した割り込みであり、どのCPUに対する通知か等の情報を載せることができ、割り込みを迅速に処理することが可能となる。

【 図面の簡単な説明】

【 図1 】 本発明の割り込み処理装置の実施形態の構成例

10

をバスプリッジとして示した図である。

【 図2 】 I/Oバストランザクションをどのように割り込み通知として認識するかを説明するためのアドレスマップの一構成例である。

【 図3 】 時系列で記載した第1の割り込み処理フローである。

【 図4 】 時系列で記載した第2の割り込み処理フローである。

【 図5 】 割り込み分解能に関して実際の接続形態において説明するための図である。

【 図6 】 図5における割り込み要因分解能の差異の例を示した図である。

【 符号の説明】

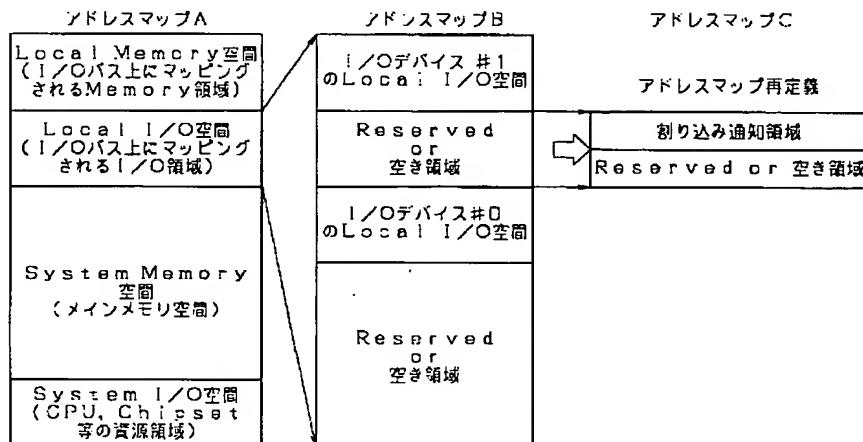
- 1 CPU
- 2 キャッシュ/バスコントローラ
- 3 メモリ
- 4 メモリ/バスコントローラ
- 5 システムバス
- 6, 7 I/Oデバイス
- 8 I/Oバス
- 9 コマンドデコーダ
- 10 割り込み受信部
- 11 要因保持部
- 12 割り込みクリア指示部
- 13 優先順位処理部
- 14 通知処理部
- 15 トランザクション発行部
- 16 トランザクション受信・デコード部
- 17 CPU→I/O処理部
- 18 割り込み処理部
- 20 バスプリッジ

20

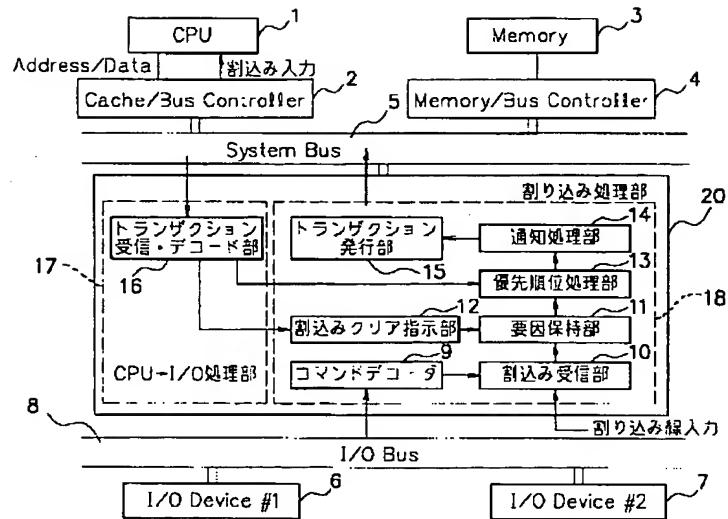
30

30

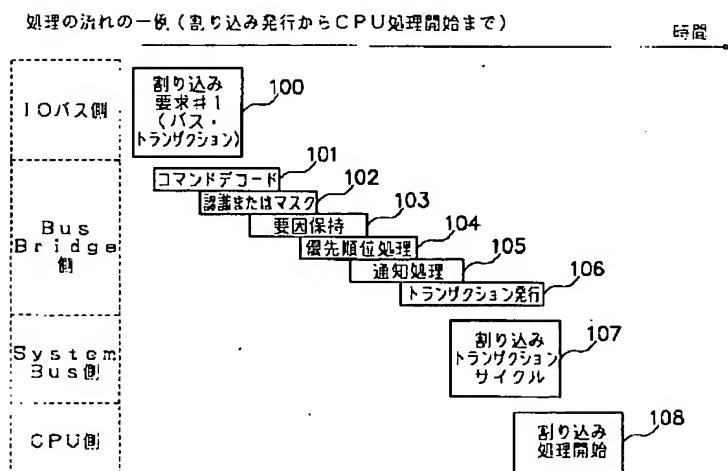
【 図2 】



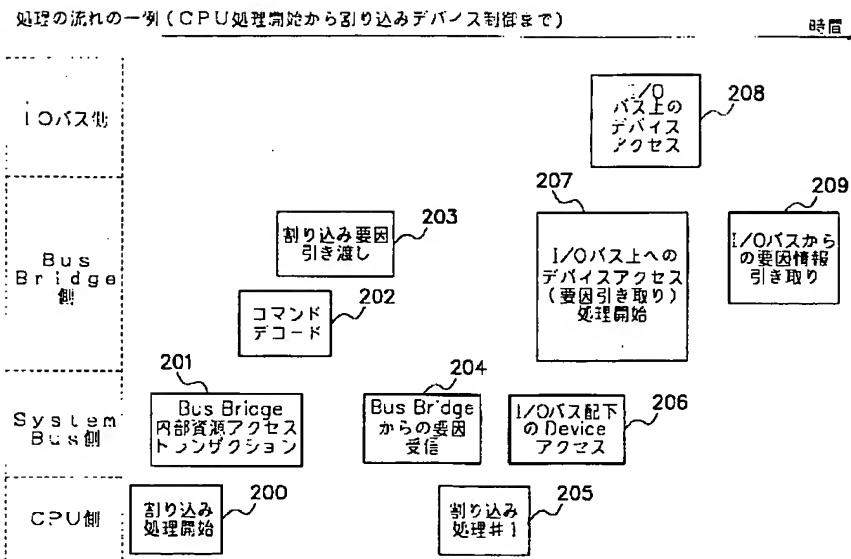
【 図1 】



【 図3 】

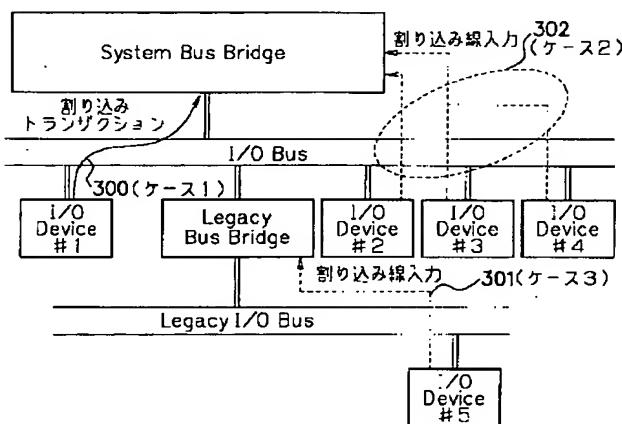


【 図4 】



【 図5 】

実際の接続形態による割り込み通知形態



【 図6 】

図5における割り込み要因分解能の差違の例

